

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **04-042496**  
 (43)Date of publication of application : **13.02.1992**

(51)Int.CI. **G11C 14/00**  
**G06F 12/16**

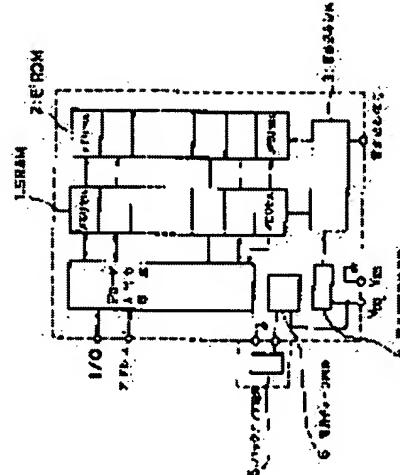
(21)Application number : **02-148811** (71)Applicant : **NEW JAPAN RADIO CO LTD**  
 (22)Date of filing : **08.06.1990** (72)Inventor : **IMAI TAKAO**

## (54) NONVOLATILE RAM

### (57)Abstract:

**PURPOSE:** To obtain the compact nonvolatile RAM which can preserve the storage contents of an SRAM when the power supply is interrupted by arranged on one chip and preserving the storage contents of the SRAM automatically while written in an EZROM when the power supply is interrupted.

**CONSTITUTION:** When power supply voltage is dropped, the drop in voltage is detected by a power supply voltage detection circuit 4, a writing signal is automatically transmitted to a writing circuit 3 from the detection circuit 4, and the contents of the memory cell of an SRAM 1 is written in the memory cell of an EZROM 2. At this time, the power supply necessary for writing operation is supplied from a backup power source 5. All these circuit parts are integrally incorporated in the one chip. Thus, the storage contents are preserved at the time of the interruption of the power supply, etc., and also, occupying space can be made small.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

⑯日本国特許庁 (JP)

⑪特許出願公開

⑯公開特許公報 (A)

平4-42496

⑤Int.Cl.<sup>5</sup>

G 11 C 14/00  
G 06 F 12/16

識別記号

3 4 0 Q

庁内整理番号

7165-5B  
7323-5L

④公開 平成4年(1992)2月13日

審査請求 未請求 請求項の数 1 (全4頁)

⑤発明の名称 不揮発性RAM

⑥特願 平2-148811

⑦出願 平2(1990)6月8日

⑧発明者 今井 貴朗 埼玉県上福岡市福岡2丁目1番1号 新日本無線株式会社  
川越製作所内

⑨出願人 新日本無線株式会社 東京都港区虎ノ門1丁目22番14号

明細書

1. 発明の名称

不揮発性RAM

2. 特許請求の範囲

高速で読み書きできるSRAMと、該SRAMの記憶内容を保存するための電気的に書き換えるできる不揮発性のE<sup>2</sup>ROMと、書き込み信号により上記SRAMの記憶内容を上記E<sup>2</sup>ROMに書き込む書き込み回路と、電源電圧が低下するとこれを検知して上記書き込み回路に書き込み信号を送る電源電圧検出回路と、停電時に上記SRAMの記憶内容を上記E<sup>2</sup>ROMに書き込んでしまうまで電源をバックアップするバックアップ電源回路と、ワンチップ上に配設し、停電時に自動的に上記SRAMの記憶内容が上記E<sup>2</sup>ROMに書き込まれて保存される構成としたことを特徴とする不揮発性RAM。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、正常な電源電圧時には、高速RAMとして読み書きができ、停電等の電圧低下時には、

記憶内容が自動的に不揮発性メモリ (E<sup>2</sup>ROM)部に書き込まれて保存される不揮発性RAMに関する。

(従来の技術)

第3図は従来の通称NVRAMと呼ばれる不揮発性RAMの構成を示す。

高速で読み書きできるSRAM1と、SRAM1の記憶内容を保存するための電気的に書き換えるできるE<sup>2</sup>ROM2と、書き込み信号によりSRAM1の記憶内容をE<sup>2</sup>ROM2に書き込む書き込み回路3とをワンチップ上に配設した構成になっていて、外部からの書き込み信号によりSRAM1の記憶内容をE<sup>2</sup>ROM2に書き込んでおけば、停電時等に、その記憶内容を保存することができる。しかし、SRAM1のリアルタイムの記憶内容は消滅する。

すなわち、リアルタイムの記憶内容は、揮発性であることにおいて、通常の揮発性RAMの場合と変わることがない。

従来のNVRAMにおいて停電時等にリアルタイムの記憶内容を保存するには、第4図に示すような構成を採らねばならない。

図において 11 は NVRAM 、 12 は電源電圧の低下を検出し、電源電圧が低下したとき NVRAM 11 に書き込み信号を送る電源電圧検出回路、 13 は停電等による電源電圧低下時に E<sup>2</sup>ROM への書き込みに要する電源を供給するバックアップ電源回路である。

〔発明が解決しようとする課題〕

従来の NVRAM は、単体では、停電のような予期しない電源電圧低下時には、記憶内容が保存されないという問題があった。

また、上記のような場合、記憶内容を保存するには、別に、電源電圧が低下すると NVRAM に書き込み信号を送る電源電圧検出回路と、停電時に E<sup>2</sup>ROM 2 へ書き込み回路 3 を動作させるに必要な電源を供給するバックアップ電源回路とこの電源回路を制御する制御回路を付設する必要があり、煩雑で、そのうえ、装置全体が占めるスペースが大きくなるという問題があった。

本発明は上記の問題を解消するためになされたもので、単体で、停電のような不測の電源電圧低

一または相当する部分を示し、 4 は電源電圧検出回路、 5 はバックアップ電源、 6 は電源チャージ回路である。

バックアップ電源 5 用のコンデンサはワンチップ内に内蔵するのが難しい場合があるが、他の回路部分全てをワンチップ内に一体に内蔵することは容易である。

バックアップ電源 5 用のコンデンサをチップ内に内蔵する場合は、 IC として容量が大きくならないように、多積化したり、強誘電膜を使用することにより対応することができる。

電源電圧が低下した場合、電源電圧検出回路 4 により検出され、該検出回路 4 から自動的に書き込み回路 3 に書き込み信号が送られ、 SRAM 1 のメモリセルの内容が E<sup>2</sup>ROM 2 のメモリセルに書き込まれる。この時書き込み動作に必要な電源は、電源電圧がすでに低下しているため、バックアップ電源 5 から供給される。

バックアップ電源 5 は E<sup>2</sup>ROM 2 に SRAM 1 の記憶内容が書き込まれる期間のみ電圧が保持されてい

下時にも、そのときの記憶内容が保存される小型で不揮発性 RAM を提供することを目的とする。

〔課題を解決するための手段〕

本発明の不揮発性 RAM は、高速で読み書きできる SRAM と、該 SRAM の記憶内容を保存するための電気的に書き換えるできる不揮発性の E<sup>2</sup>ROM と、書き込み信号により上記 SRAM の記憶内容を上記 E<sup>2</sup>ROM に書き込む書き込み回路のほかに、電源電圧が低下するとこれを検知して上記書き込み回路に書き込み信号を送る電源電圧検出回路と、電源電圧低下時に上記 SRAM の記憶内容を上記 E<sup>2</sup>ROM に書き込んでしまって電源をバックアップするバックアップ電源回路をワンチップ上に配設し、停電時に自動的に上記 SRAM の記憶内容が上記 E<sup>2</sup>ROM に書き込まれて保存される構成としたものである。

〔実施例〕

第 1 図は本発明の一実施例の構成を示し、第 2 図は第 1 図の一実施例におけるバックアップ電源回路の具体例を示す。

図において 1, 2, 3 は第 3 図の同一符号と同

ればよい。

バックアップ電源 5 のコンデンサは、電源電圧が正常な間は電源チャージ回路 6 により常時チャージされている。そして、電源チャージ回路 6 は、電源電圧が低下した時のバックアップ電源 5 のコンデンサの放電電流が外部に流れ出すのを防止する働きもする。

バックアップ電源 5 にコンデンサでなく二次電池を使用してもよい。

〔発明の効果〕

以上説明したように、本発明によると、ワンチップ上の構成により、停電時等に記憶内容が保存されることにより、従来採られていた構成に比べ、煩雑さがなくなり、占有するスペースが小さくなり、かつ装置の信頼性が向上するという効果がある。

4. 図面の簡単な説明

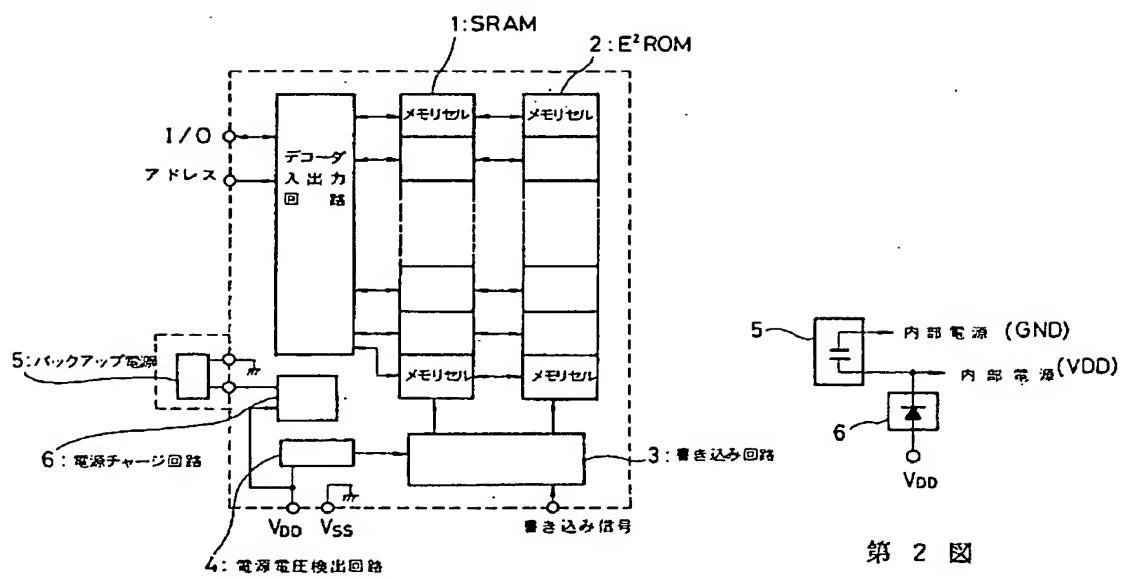
第 1 図は本発明の一実施例の構成を示す説明図、第 2 図は第 1 図の一実施例におけるバックアップ電源回路の具体例を示す説明図、第 3 図は従来の

通称NVRAM と呼ばれる不揮発性RAM の構成を示す  
説明図、第4図は従来のNVRAM により停電時等に  
リアルタイムの記憶内容を保存する場合の構成を  
示す図である。

1 … SRAM、2 … E<sup>2</sup>ROM 、3 … 書き込み回路、  
4 … 電源電圧検出回路、5 … バックアップ電源、  
6 … 電源チャージ回路

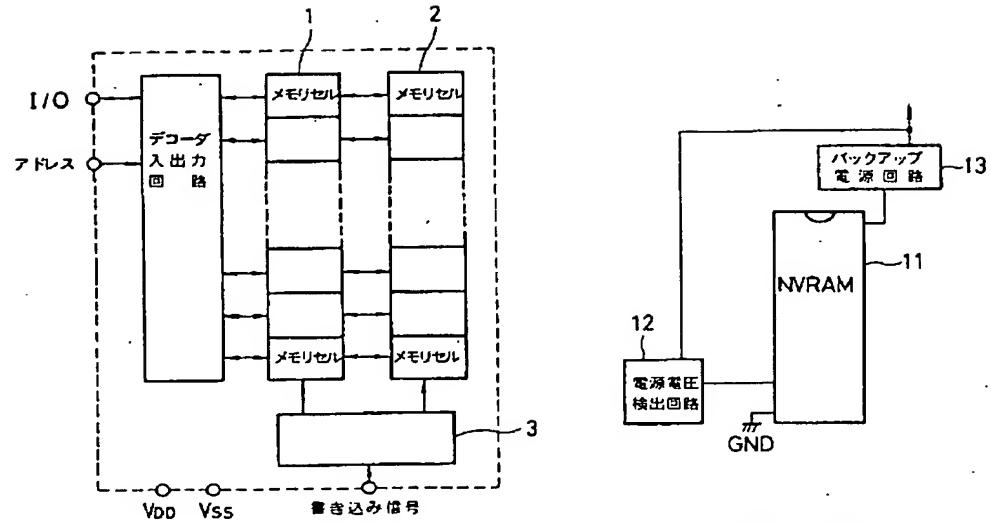
なお図中同一符号は同一または相当するものを  
示す。

特許出願人 新日本無線株式会社



第2図

第1図



第 4 図

第 3 図